

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-335237

(43)Date of publication of application : 02.12.1994

(51)Int.Cl.

H02M 3/07

(21)Application number : 05-117274

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.05.1993

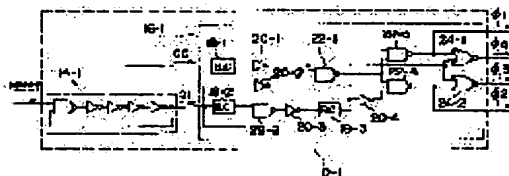
(72)Inventor : TAKEYAMA YASUHISA
MIYAMOTO JUNICHI
IWATA YOSHIHISA
BANBA HIRONORI
OHIRA HIDEKO

(54) SEMICONDUCTOR CIRCUIT DEVICE AND ITS PULSE GENERATION

(57)Abstract:

PURPOSE: To provide a semiconductor circuit device with a circuit for generating a normal pulse signal and its pulse generating method even if conditions change.

CONSTITUTION: A pulse signal generating circuit 16-1 for generating pulse signals ϕ_1 – ϕ_4 with mutually different phases and a charge pump circuit driven by the pulse signals ϕ_1 – ϕ_4 are provided in basic pulses Q0 and Q1. Then, the generation circuit 16-1 is constituted so that it counts basic pulses Q0 and Q1 and generates the pulse signals ϕ_1 – ϕ_4 based on the counted details. According to the configuration, since the basic pulses Q0 and Q1 are counted to generate the pulse signals ϕ_1 – ϕ_4 , the operation timing of the pulse signals ϕ_1 – ϕ_4 always becomes a constant ratio even if conditions change, for example the frequencies of the basic pulses change. Therefore, even if the conditions change, the matching of the pulse signal changes as before, a pulse waveform pattern different from a target is not generated, and a normal pulse can be constantly generated.



LEGAL STATUS

[Date of request for examination] 18.05.2000

[Date of sending the examiner's decision of rejection] 25.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3643385

[Date of registration] 04.02.2005

[Number of appeal against examiner's decision of rejection] 2003-007066

[Date of requesting appeal against examiner's decision of rejection] 24.04.2003

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-335237

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl.⁵

H 0 2 M 3/07

識別記号

庁内整理番号

8726-5H

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 18 頁)

(21) 出願番号 特願平5-117274

(22) 出願日 平成5年(1993)5月19日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 武山 泰久

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 宮本 順一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 岩田 佳久

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

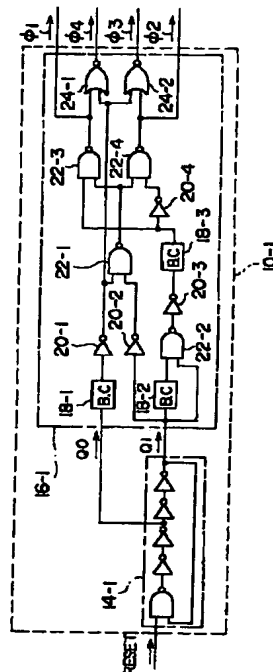
最終頁に続く

(54) 【発明の名称】 半導体回路装置およびそのパルス生成方法

(57) 【要約】

【目的】この発明は条件が変化しても、正常なパルス信号を発生できる回路を備えた半導体回路装置及びそのパルス生成方法を提供しようとするものである。

【構成】基本パルスQ0、Q1に基いて、互いに位相の異なるパルス信号φ1～φ4を生成するパルス信号生成回路16-1と、パルス信号φ1～φ4によって駆動されるチャージポンプ回路とを具備する。そして、生成回路16-1を、基本パルスQ0、Q1をカウントし、このカウント内容に基いてパルス信号φ1～φ4を生成するように構成したことを主要な特徴としている。この構成であると、基本パルスQ0、Q1をカウントしてパルス信号φ1～φ4を生成するために、条件の変化、例えば基本パルスの周波数が変化しても、各パルス信号φ1～φ4の動作タイミングが常に一定の比率とされる。従って、条件が変化しても、従来のようにパルス信号のマッチングがくずれ、目的と異なるパルス波形パターンが発生したりせず、常に正常なパルスを生成することができる。



【特許請求の範囲】

【請求項1】 入力信号に基いて、互いに位相の異なる複数のパルス信号を生成する生成手段と、前記複数のパルス信号によって駆動される昇圧手段とを具備し、

前記生成手段を、前記入力信号をカウントし、このカウント内容に基いて前記複数のパルス信号を生成するように構成したことを特徴とする半導体回路装置。

【請求項2】 発振回路からの発振出力をカウントすることによって、互いに位相の異なる複数のパルスを、パルス幅が一定の比率を維持するように生成することを特徴とするパルスの生成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体回路装置およびそのパルス生成方法に係わり、特にチャージポンプ回路を駆動させるための駆動回路装置と、チャージポンプ回路を駆動させるためのパルスを生成する方法に関する。

【0002】

【従来の技術】従来、電位を正に昇圧する、あるいは負に昇圧する回路装置として、チャージポンプ回路が良く知られている。チャージポンプ回路は、EEPROM等に用いられており、例えば電源電圧VCCよりも高い、正のある電圧VPP、あるいは接地電位VSSよりも低い、負のある電圧VBBの生成等に使用されている。

【0003】通常、チャージポンプ回路は、互いに位相の異なったパルス信号により、駆動される。図26は、そのようなパルス信号を発生して、チャージポンプ回路を駆動させる駆動回路の従来例を示すブロック図である。

【0004】図26に示すように、駆動回路100には初期動作を与えるリセット信号RESETが入力される。駆動回路100はリセット信号RESETを受け、二相のパルス信号φ1、φ2を出力する。これらのパルス信号φ1、φ2は、チャージポンプ回路102に入力される。チャージポンプ回路102は、パルス信号φ1、φ2を受け、電源電圧VCCを、電源電圧VCCよりも高い、正のある電圧VPPに昇圧する。

【0005】図27は、図26に示す駆動回路の回路図である。駆動回路100は、基本パルス発振回路104、パルス信号生成回路106とから構成される。生成回路106は、遅延回路108、および論理を合成するための各種の論理ゲートから構成される。

【0006】まず、発振回路104は、リセット信号RESETを受けることにより、基本パルスQを発生する。この基本パルスQは生成回路106に入力される。基本パルスQは、生成回路106内で、NANDゲート110の第1入力、およびNORゲート112の第1入力に直接に入力される。また、遅延回路108を介して、NANDゲート110の第2入力、およびNORゲート112の第2入力に入力される。NORゲート112の出力

は、第1パルスφ1となり、NANDゲート110の出力はインバータ114を介してから、第2パルスφ2となる。

【0007】図28は、図27に示す生成回路106の入力波形、および出力波形を示す波形図である。図28に示すように、基本パルスQが“L”レベルから“H”レベルとなった時刻（本明細書では、以下、立ち上がりという）に、第1パルスφ1が“H”レベルから“L”レベル（本明細書では、以下、立ち下がりという）となる。

この時刻から所定時間τだけ遅れて、第2パルスφ2が立ち上がる。第2パルスφ2は、基本パルスQが立ち下がった時刻に立ち下がる。この時刻から所定時間τだけ遅れて、第1パルスφ1が立ち上がり、第1パルスφ1は、基本パルスQが立ち上がる時刻に立ち下がる。

【0008】ところで、半導体集積回路では、集積回路を構成するトランジスタや抵抗、およびキャパシタといった各素子の特性に、電源電圧や温度、および製造中の加工ばらつきによる依存性がある。このため、各素子の組み合わせ構成によっては、上記依存性による回路特性に、差が生ずる。

【0009】図27に示すような駆動回路100では、パルス信号φ1、φ2を生成するために、発振回路104、遅延回路108を組み合わせている。特に遅延回路108は、直列に接続されたインバータ116、118から構成される。発振回路104における上記依存性と、遅延回路108のそれとは違いがある。この違いにより、回路特性に影響を及ぼす度合いにはそれぞれ、差が生じている。結果、発振回路104と遅延回路108とによって生成される各パルス信号のマッチングがくずれやすい。

【0010】図29(a)～(c)は、パルス信号のマッチングのくずれの一例を示す図である。図29(a)は、基本パルスQの周期Tが長くなった（周波数が低くなった）例を示している。この時には、パルスφ1、φ2の“H”レベル出力期間が長くなり、一方、遅延時間τは相対的に短くなる。このため、遅延時間にマージンがなくなり、他の回路の特性変動、例えば論理合成のためのゲート特性の変動等を加味すると、パルスφ1、φ2が互いにオーバーラップすることも考えられる。パルスφ1、φ2が互いにオーバーラップすると、チャージポンプ回路102の電荷転送効率が低下する。

【0011】また、パルスφ1、φ2が互いにオーバーラップしなくても、発振回路104の周波数の低下に伴って、パルスφ1、φ2の周波数も低くなるため、チャージポンプ回路102の動作が緩慢となり、昇圧能力が低下する。この問題を解消するには、チャージポンプ回路102のキャパシタの容量を大きくしておけばよいが、それは回路バターンの面積増大を招き、集積度を低下させる。

【0012】図29(b)は基本パルスQの周期Tが短く

なった(周波数が高くなった)例を示している。この時には、上記と逆にパルス $\phi 1$ 、 $\phi 2$ の“H”レベル出力期間が短くなり、一方、遅延時間 τ は相対的に長くなる。基本パルスQの周波数がさらに高くなり、遅延時間 τ が基本パルスQの半周期以上となると、図29(c)に示すように、生成回路106が、パルス $\phi 1$ 、 $\phi 2$ をほとんど発しなくなる。

【0013】以上のように、従来の駆動回路装置を備えた半導体回路装置では、条件の変化により、パルス信号のマッチングがくずれ、目的と異なるパルス波形パターンが発生し、チャージポンプ回路102が正常に動作しなくなる、という問題を抱えている。

【0014】

【発明が解決しようとする課題】この発明は上記の点に鑑み為されたもので、その目的は、条件が変化しても、正常なパルス信号を発生できる回路を備えた半導体回路装置、およびそのパルス生成方法を提供することにある。

【0015】

【課題を解決するための手段】この発明の半導体回路装置では、入力信号に基いて、互いに位相の異なる複数のパルス信号を生成する生成手段と、前記複数のパルス信号によって駆動される昇圧手段とを具備する。そして、前記生成手段を、入力信号をカウントし、このカウント内容に基いて複数のパルス信号を生成するように構成したことを特徴としている。

【0016】また、この発明のパルス生成方法では、発振回路からの発振出力をカウントすることによって、互いに位相の異なる複数のパルスを、パルス幅が一定の比率を維持するように生成することを特徴としている。

【0017】

【作用】上記構成の半導体回路装置およびパルス生成方法であると、入力信号をカウントし、このカウント内容に基いて複数のパルス信号を生成するために、生成手段が条件により正常に動作しなくなる、という問題が解決される。

【0018】即ち、入力信号をカウントし、このカウント内容に基いて複数のパルス信号を生成するために、条件の変化、例えば入力信号の周波数に変化しても、各パルス信号を、その動作タイミングが、常に一定の比率とされるように生成できる。

【0019】従って、条件が変化しても、従来のようにパルス信号のマッチングがくずれ、目的と異なるパルス波形パターンが発生したりせず、常に正常なパルスを発生することができる。

【0020】

【実施例】以下、図面を参照してこの発明を実施例により説明する。この説明において全図にわたり共通の部分には共通の参照符号を付すことで重複する説明を避けることにする。

【0021】図1は、この発明の第1の実施例に関わる半導体回路装置が具備する駆動回路の構成を示す回路図、図2は、図1に示すカウンタ回路の構成を示す回路図、図3は、この発明の第1の実施例に関わる半導体回路装置の概略的な構成を示すブロック図である。

【0022】まず、第1の実施例に関わる半導体回路装置の概略構成から説明する。図3に示すように、駆動回路10-1には初期動作を与えるリセット信号RESETが入力される。駆動回路10-1はリセット信号RESETを受け、四相のパルス信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 、および $\phi 4$ を出力する。これらのパルス信号 $\phi 1 \sim \phi 4$ は、チャージポンプ回路12-1に入力される。チャージポンプ回路12-1は、パルス信号 $\phi 1 \sim \phi 4$ を受け、電源電圧VCCを、この電源電圧VCCよりも高いある電圧VPPに昇圧する。

【0023】次に、第1の実施例に関わる半導体回路装置が具備する駆動回路10-1について説明する。図1に示すように、駆動回路10-1は、基本パルス発振回路14-1、パルス信号生成回路16-1とから構成される。そして、生成回路16-1は、バイナリカウンタ回路18-1、18-2、18-3、および論理を合成するための各種論理ゲートとから構成される。

【0024】まず、発振回路14-1は、リセット信号RESETを受けることにより、第1基本パルスQ0、および第2基本パルスQ1を発生する。第1基本パルスQ0の周期と第2基本パルスQ1の周期Tとは互いに同じであり、また、第2基本パルスQ1は、第1基本パルスQ0に対して四分の一周期だけ遅れる。

【0025】第1基本パルスQ0は、第1バイナリカウンタ18-1に入力される。第1バイナリカウンタ18-1の出力はインバータ20-1の入力に接続され、インバータ20-1の出力はNANDゲート22-1の第1の入力に接続されるとともに、NORゲート24-1の第1入力、およびNORゲート24-2の第1入力に接続される。NORゲート24-1の出力は第4パルス信号 $\phi 4$ となり、NORゲート24-2の出力は第3パルス信号 $\phi 3$ となる。

【0026】第2基本パルスQ1は、第2バイナリカウンタ18-2に入力されるとともに、インバータ20-2の入力、およびNANDゲート22-2の第1入力に入力される。インバータ20-2の出力は、NANDゲート22-1の第2入力に接続される。NANDゲート22-1の出力は、NANDゲート22-3の第1入力に接続されるとともに、NANDゲート22-4の第1入力に接続される。

【0027】第2バイナリカウンタ18-2の出力はNANDゲート22-2の第2入力に接続される。NANDゲート22-2の出力はインバータ20-3の入力に接続され、インバータ20-3の出力は第3バイナリカウンタ18-3の入力に接続される。第3バイナリカウンタの出力

はNANDゲート22-3の第2入力に接続されるとともに、インバータ20-4の入力に接続される。インバータ20-4の出力はNANDゲート22-4の第2入力に接続される。

【0028】NANDゲート22-3の出力は、第1パルス信号φ1となるとともに、NORゲート24-1の第2入力に接続される。また、NANDゲート22-4の出力は、第2パルス信号φ2となるとともに、NORゲート24-2の第2入力に接続される。

【0029】次に、バイナリカウンタ18-1~18-3の構成について説明する。図2に示すように、バイナリカウンタは、入力信号INをクロック信号としてオン／オフするクロックドインバータ26-1、26-2、26-3、および26-4を含む。クロックドインバータ26-1と26-4は同相のクロックで駆動され、一方、クロックドインバータ26-2と26-3は逆相のクロックで駆動される。

【0030】クロックドインバータ26-1の出力は、通常構成のインバータ28-1の入力に接続されるとともに、クロックドインバータ26-3の入力に接続される。インバータ28-1の出力はクロックドインバータ26-2の入力に接続され、クロックドインバータ26-2の出力はクロックドインバータ26-3の入力に接続される。

【0031】クロックドインバータ26-3の出力は、通常構成のインバータ28-2の入力に接続されるとともに、通常構成のインバータ28-3の入力に接続される。インバータ28-2の出力はクロックドインバータ26-4の入力に接続されるとともに、クロックドインバータ26-4の出力は、通常構成のインバータ28-3の入力に接続される。インバータ28-3の出力は出力信号OUTとなる。

【0032】図1に示される第1バイナリカウンタ18-1では入力信号INが第1基本パルスQ0であり、その出力信号OUTをインバータ20-1に供給する。同様に第2バイナリカウンタ18-2では入力信号INが第2基本パルスQ1である。そして、その出力信号OUTをNANDゲ

$$\tau 1 : \tau 2 : \tau 3 = 2 : 1 : 4 \quad \dots \quad (1)$$

図6(a)に、第1基本パルスQ0および第2基本パルスQ1の周期Tが長くなった(周波数が低くなった)例を示し、図6(b)に、第1基本パルスQ0および第2基本パルスQ1の周期Tが短くなった(周波数が高くな

った)例を示す。

【0039】この発明の第1の実施例に関わる半導体回路装置によれば、電源電圧VCCやトランジスタしきい値Vth、および温度変化に対する依存性を、発振回路14-1と生成回路16-1とで、ほぼ等しくすることができる。このため、パルス信号のマッチングを保つことができ、動作タイミングを一定に保てる。

【0040】従って、図6(a)、(b)に示すように、基本パルスの周波数が変化しても、設定された動作タイミングの比を、基本パルスの周波数の変化に係わ

ず、常に保つことができる。第1の実施例では、基本パルスQ0およびQ1の周波数変化に係わらず、 $\tau 1 : \tau 2 : \tau 3 = 2 : 1 : 4$ の関係を保つことができる。

【0033】尚、図2に示すバイナリカウンタには、その初期動作を与えるための回路を付加しても良い。図2に示すバイナリカウンタの動作の概要は、入力信号INが立ち下がる時刻に、出力信号OUTが立ち下がる、あるいは立ち上がる。しかし、入力信号INが立ち上がる時刻には、出力信号OUTが変化しないものである。

【0034】次に、図1に示すパルス信号生成回路16-1の動作について説明する。図5は、図1に示す生成回路16-1の入力波形、および出力波形を示す波形図である。

【0035】図5において、参照符号Tは、第1基本パルスQ0、あるいは第2基本パルスQ1の周期を表している。期間 $\tau 1$ は、第1パルス信号φ1の立ち上がりから第2パルス信号φ2の立ち下がりまで、および第2パルス信号φ2の立ち上がりから第1パルス信号φ1の立ち下がりまでの期間を示している。

【0036】同様に期間 $\tau 2$ は、第2パルス信号φ2の立ち下がりから第3パルスφ3の立ち上がりまで、および第3パルス信号φ3の立ち下がりから第2パルスφ2の立ち上がりまでの期間を示している。また、期間 $\tau 2$ は、第1パルス信号φ1の立ち下がりから第4パルスφ4の立ち上がりまで、および第4パルス信号φ4の立ち下がりから第1パルスφ1の立ち上がりまでの期間でもある。

【0037】期間 $\tau 3$ は、第3パルス信号φ3、および第4パルス信号φ4が“H”レベルとなっている期間を示している。図1に示す生成回路16-1の構成であると、動作タイミングの比が(1)式のように設定される。

【0038】

ず、常に保つことができる。第1の実施例では、基本パルスQ0およびQ1の周波数変化に係わらず、 $\tau 1 : \tau 2 : \tau 3 = 2 : 1 : 4$ の関係を保つことができる。

【0041】次に、チャージポンプ回路について説明する。図4は、四相パルスで駆動されるチャージポンプ回路の一例を示す回路図である。

【0042】図4に示すチャージポンプ回路12-1は、昇圧の際に、MOSFETのしきい値電圧分の電圧降下をなくしたものである。図4において、参照符号30-1~30-4、参照符号32-1~32-5はNMOSで、VCCは電源電圧、VPPは出力電圧である。また、参照符号34-1~34-5、参照符号36-1~36-4はキャパシタである。

【0043】図4に示すチャージポンプ回路12-1で

は、NMOS 38-1~38-4を加え、図5に示したような四相のバース信号φ1~φ4で駆動させることにより、電源電圧VCCが多少低下しても、所定の値の出力電圧を得られる。

【0044】四相のバース信号φ1~φ4のうち、第1バース信号φ1と第2バース信号φ2、第3バース信号φ3と第4バース信号φ4はそれぞれ、互いに半周期ずつずれるように発生されており、これらをチャージポンプ回路12-1の転送段の一段おきに入力する。このような動作タイミングを用いることにより、チャージポンプ回路の転送効率が高くなり、昇圧時間の短縮を図ることができる。

【0045】また、この種のチャージポンプ回路では、第1バース信号φ1の“H”レベルと第4バース信号φ4の“H”レベルとが重ならないことが望ましく、同様に第2バース信号φ2の“H”レベルと第3バース信号φ3の“H”レベルとが重ならないことが望ましい。

【0046】この点、第1の実施例では、上述したように各種の依存性を、発振回路14-1と、生成回路16-1とではほぼ等しくすることができるため、条件が変化しても、バース信号が上記のように重なることなく、常に正常なバース信号を発生できる。

【0047】次に、この発明の第2の実施例に関わる半導体回路装置について説明する。図7は、この発明の第2の実施例に関わる半導体回路装置を示す図で、(a)図は概略的な構成を示すブロック図、(b)図は(a)図に示す駆動回路の構成を示す回路図である。

【0048】図7(a)に示すように、駆動回路10-2には初期動作を与えるリセット信号RESETが入力される。駆動回路10-2はリセット信号RESETを受け、二相のバース信号φ1、φ2を出力する。これらのバース信号φ1、φ2は、チャージポンプ回路12-2に入力される。チャージポンプ回路12-2は、バース信号φ1、φ2を受け、電源電圧VCCを、この電源電圧VCCよりも高いある電圧VPPに昇圧する。

【0049】次に、駆動回路10-2について説明する。図7(b)に示すように、駆動回路10-2は、基本バース発振回路14-2、バース信号生成回路16-2とから構成される。そして、生成回路16-2は、複数のゲート回路40-1~40-5、並びにゲート回路42-1が直列に接続され、かつゲート回路42-1の出力をゲート回路40-1の入力に接続することによってカウンタ回路を構成している。

【0050】ゲート回路40-1~40-5、並びに42-1のゲートにはそれぞれ、基本バースQ0が供給される。第1バース信号φ1は、ゲート回路40-1の出力とゲート回路40-2の入力との相互接続点から抽出され、第2バース信号φ2は、ゲート回路40-4の出力と40-5の入力との相互接続点から抽出される。

【0051】図8は、図7(b)に示すゲート回路の回

路図で、(a)図はゲート回路40-1~40-5の回路図、(b)図はゲート回路42の回路図である。図8

(a)に示すように、ゲート回路40-1~40-5は、その入力とその出力との間に、NMOSとPMOSとから成るトランスファゲート44-1~44-4を、所定の数だけ直列接続することによって構成されている。基本バースQ0は、トランスファゲート44-1のNMOSのゲート、トランスファゲート44-2のPMOSのゲート、トランスファゲート44-3のPMOSのゲート、トランスファゲート44-4のNMOSのゲートに入力される。さらに基本バースQ0は、インバータの46を介して、トランスファゲート44-1のPMOSのゲート、トランスファゲート44-2のNMOSのゲート、トランスファゲート44-3のNMOSのゲート、トランスファゲート44-4のPMOSのゲートに入力される。

【0052】第1出力信号OUT1はトランスファゲート44-4の出力から抽出され、第2出力信号OUT2はトランスファゲート44-2の出力から抽出される。このような構成であると、バース状の入力信号INに対し、タイミングが半周期遅れたバース状の第1出力信号OUT1と、タイミングが一周期遅れたバース状の第2出力信号OUT2とが得られる。

【0053】尚、バース状の入力信号INおよび出力信号OUT1、OUT2のバース幅(“H”レベルである期間)はそれぞれ、基本バースQ0の1周期となる。NANDゲート48-1とインバータ50-1とで構成される回路、およびNANDゲート48-2とインバータ50-2とで構成される回路はそれぞれ、ゲート回路40-1~40-5に初期動作を与える回路であり、この回路にはリセット信号RESETが供給される。

【0054】ゲート回路42-1は、図8(b)に示すように、基本的にゲート回路40-1~40-5と同一の構成である。相違点は、NANDゲート48-1とインバータ50-1とで構成される回路、およびNANDゲート48-2とインバータ50-2とで構成される回路の接続状態である。即ち、初期動作を与える回路が異なっている。

【0055】尚、図7(b)に示す生成回路16-2では、ゲート回路40-1~40-5、42-1における出力は、いずれも第1出力OUT1であり、これを次段のゲート回路に接続している。そして、第2出力OUT2は、この例では使用しない。

【0056】次に、図7(b)に示すバース信号生成回路16-2の動作について説明する。図9は、図7(b)に示す生成回路16-2の入力波形、および出力波形を示す図である。

【0057】図9に示す期間τ4は、第1バース信号φ1の立ち上がりから第2バース信号φ2の立ち上がりまでの期間、および第2バース信号φ2の立ち上がりから第1バース信号φ1の立ち上がりまでの期間(図示せず)を示している。

10

20

30

40

50

【0058】期間 $\tau 5$ は、第1パルス信号 $\phi 1$ 、および第2パルス信号 $\phi 2$ が“H”レベルとなっている期間を示している。図7(b)に示す生成回路16-2の構成であると、動作タイミングの比が(2)式のように設定される。

【0059】

$$\tau 4 : \tau 5 = 2 : 1 \quad \dots \quad (2)$$

第2の実施例においても、第1の実施例と同様に、基本パルスQ0の周期Tが変化しても、上記 $\tau 4 : \tau 5 = 2 : 1$ の関係を保つことができる。

【0060】また、電源電圧VCCやトランジスタしきい値Vth、および温度変化に対する依存性を、基本パルス発振回路14-2と、パルス信号生成回路16-2とで、ほぼ等しくすることができるため、第1パルス信号 $\phi 1$ と第2パルス信号 $\phi 2$ とが互いに重ならず、常にマッチングのとれたパルス信号を得ることができる。

【0061】次に、チャージポンプ回路について説明する。図10は、二相パルスで駆動されるチャージポンプ回路の一例を示す回路図である。

【0062】図10において、参照符号52-1~52-5はNMOSで、参照符号VCCは電源電圧、参照符号VPPは出力電圧である。また、参照符号54-1~54-5はキャパシタである。

【0063】図10に示すチャージポンプ回路12-2では、NMOS52-2、52-4を第1パルス信号 $\phi 1$ で駆動させ、NMOS52-3、52-5を第2パルス信号 $\phi 2$ で駆動させることにより、電源電圧VCCを、電源電圧VCCよりも高い、正のある電圧VPPまで昇圧する。

【0064】次に、この発明の第3の実施例に関わる半導体回路装置について説明する。第3の実施例においては、チャージポンプ回路を駆動させ、接地電位VSSよりも低い、負のある電圧VBBを生成する例を挙げて説明することにする。図16には、そのような降圧するチャージポンプ回路の一例が示されている。図16に示されるチャージポンプ回路は、例えばセルフ・サブバイアス回路等に用いられる。

【0065】図11は、この発明の第3の実施例に関わる半導体回路装置を示す図で、(a)図は概略的な構成を示すブロック図、(b)図は(a)図中の駆動回路の基本構成を示すブロック図である。

【0066】図11(a)に示すように、駆動回路10-3には、初期動作を与えるリセット信号RESETおよび入力パルスCLKが入力される。駆動回路10-3はリセット信号RESETおよび入力パルスCLKを受け、六相のパルス信号 $\phi 1 \sim \phi 6$ を出力する。パルス信号 $\phi 1 \sim \phi 6$ は、チャージポンプ回路12-3に入力される。チャージポンプ回路12-3は、パルス信号 $\phi 1 \sim \phi 6$ を受け、接地電位VSSを、負のある電圧VBBまで降圧する。

【0067】第3の実施例に関わる装置では、駆動回路10-3の外部から入力パルスCLKを取り込むようにし

ている。この場合の入力パルスCLKは、例えばメモリ装置の動作タイミングを測るために生成される内部クロック等で代用することができる。また、入力パルスCLKは、駆動回路中に、新たな発振回路を付加し、第1、第2の実施例のように駆動回路中で、独自に生成するようにしても良い。

【0068】次に、駆動回路10-3について説明する。図11(b)に示すように、駆動回路10-3は、基本パルス発振回路14-3、パルス信号生成回路16-3とから構成される。

【0069】次に、発振回路14-3について説明する。図12は、図11(b)に示す発振回路14-3の回路図である。図12に示すように、発振回路14-3は、ゲート回路40-6~40-14、並びに42-2が直列に接続され、かつゲート回路42-2の出力をゲート回路40-6の入力に接続されて構成されている。これによって、発振回路14-3はカウンタ回路を構成している。

【0070】尚、ゲート回路40-6~40-14の回路構成は、図8(a)に示したゲート回路と同じであり、また、ゲート回路42-2の回路構成は、図8(b)に示したゲート回路と同じである。

【0071】ゲート回路40-6~40-14、並びに42-2のゲートにはそれぞれ、入力パルスCLKが供給される。第1基本パルスQ0は、ゲート回路40-6の第2出力OUT2より抽出され、第2基本パルスQ1は、ゲート回路40-6の出力とゲート40-7の入力との相互接続点(ゲート回路40-6の第1出力OUT1)から抽出される。以下同様にして、第3基本パルスQ2はゲート回路40-7の第2出力OUT2から、第4基本パルスQ3はゲート回路40-7の第1出力OUT1から、第5基本パルスQ4はゲート回路40-8の第2出力OUT2から、第6基本パルスQ5はゲート回路40-8の第1出力OUT1から、…、第19基本パルスQ18はゲート回路42-2の第2出力OUT2から、第20基本パルスQ19はゲート回路42-2の第1出力OUT1からそれぞれ、抽出される。

【0072】次に、図12に示す発振回路の動作について説明する。図14は、図12に示す発振回路14-3の入力波形、および出力波形を示す図である。

【0073】図14に示すように、発振回路14-3は、基本パルスQ0~Q19をそれぞれ、入力パルスCLKに対して半周期ずつ遅れるようにして発振する。次に、生成回路16-3について説明する。

【0074】図13は、図11(b)に示す生成回路16-3の回路図である。図13に示すように、生成回路16-3は、発振回路14-3から発振された基本パルスQ0~Q19のうち、Q1、Q2、Q4、Q5、Q8、Q9、Q11、Q12、Q14、Q15、Q18、およびQ19の12本を受ける。

【0075】まず、第10基本パルスQ9は、第1NORゲート56-1の第1入力に入力される。第3基本パルス

Q2は、第2NORゲート56-2の第1入力に入力される。第2NORゲート56-2の出力は、第1NORゲート56-1の第2入力に接続される。第1NORゲート56-1の出力は第2NORゲート56-2の第2入力に接続されるとともに、第1インバータ58-1の入力に接続される。第1インバータ58-1の出力は第1パルス信号φ1となる。

【0076】第5基本パルスQ4は、第3NORゲート56-3の第1入力に入力される。第6基本パルスQ5は、第3NORゲート56-3の第2入力に入力され、第3NORゲート56-3の出力は第2パルス信号φ2となる。

【0077】第2基本パルスQ1は、第4NORゲート56-4の第1入力に入力される。第9基本パルスQ8は、第4NORゲート56-4の第2入力に入力され、第4NORゲート56-3の出力は第3パルス信号φ3となる。

【0078】第20基本パルスQ19は、第5NORゲート56-5の第1入力に入力される。第13基本パルスQ12は、第6NORゲート56-6の第1入力に入力される。第6NORゲート56-6の出力は、第5NORゲート56-5の第2入力に接続される。第5NORゲート56-5の出力は第6NORゲート56-6の第2入力に接続されるとともに、第2インバータ58-2の入力に接続される。第2インバータ58-2の出力は第4パルス信号φ4となる。

【0079】第15基本パルスQ14は、第7NORゲート56-7の第1入力に入力される。第16基本パルスQ15は、第7NORゲート56-7の第2入力に入力され、第7NORゲート56-7の出力は第5パルス信号φ5となる。

【0080】第12基本パルスQ11は、第8NORゲート56-8の第1入力に入力される。第19基本パルスQ18は、第8NORゲート56-8の第2入力に入力され、第8NORゲート56-8の出力は第6パルス信号φ6となる。

【0081】次に、図13に示す生成回路の動作について説明する。図15は、図13に示す生成回路16-3の出力波形を示す図である。図15に示す期間τ6は、第2パルスφ2が“L”レベルとなっている期間、あるいは第5パルスφ5が“L”レベルとなっている期間を示している。

【0082】また、期間τ7は、第3パルスφ3の立ち上がりから第2パルスφ2の立ち下がりまでの期間、および第2パルスφ2の立ち上がりから第3パルスφ3の立ち下がりまでの期間を示している。さらに期間τ7は、第6パルスφ6の立ち上がりから第5パルスφ5の立ち下がりまでの期間、および第5パルスφ5の立ち上がりから第6パルスφ6の立ち下がりまでの期間を示している。

【0083】また、期間τ8は、第1パルスφ1の立ち下がりから第3パルスφ3の立ち上がりまでの期間、および第3パルスφ3の立ち下がりから第1パルスφ1の立ち上がりまでの期間を示している。さらに期間τ8は、第4パルスφ4の立ち下がりから第6パルスφ6の立ち上がりまでの期間、および第6パルスφ6の立ち下がりから第4パルスφ4の立ち上がりまでの期間を示している。

【0084】また、期間τ9は、第1パルスφ1の立ち上がりから第3パルスφ3の立ち上がりまでの期間、および第3パルスφ3の立ち下がりから第1パルスφ1の立ち下がりまでの期間を示している。さらに期間τ9は、第6パルスφ6の立ち下がりから第4パルスφ4の立ち下がりまでの期間、および第4パルスφ4の立ち上がりから第6パルスφ6の立ち上りまでの期間を示している。

【0085】また、期間τ10は、第3パルスφ3の立ち上がりから第6パルスφ6の立ち下がりまでの期間、および第6パルスφ6の立ち上がりから第3パルスφ3の立ち下がりまでの期間を示している。

【0086】第3の実施例においても、第1、第2の実施例と同様に、基本パルスの周期が変化しても、図15に示したような動作タイミングの比は変化しない。従って、第1パルス信号φ1の“L”レベルの期間と第4パルス信号φ4の“L”レベルの期間、第2パルス信号φ2の“L”レベルの期間と第3パルス信号φ3の“L”レベルの期間、第5パルス信号φ5の“L”レベルの期間と第6パルス信号φ6の“L”レベルの期間、とが互いに重ならず、マッチングのとれたパルス信号を得ることができる。

【0087】次に、チャージポンプ回路について説明する。図16は、六相パルスで駆動されるチャージポンプ回路の一例を示す回路図である。上述したように、図16に示されるチャージポンプ回路は、負のある電圧VBBを生成するものである。

【0088】図16において、参照符号60-1~60-10はPMOSで、参照符号VSSは接地電位、参照符号VBBは負の出力電圧である。また、参照符号62-1~62-6はキャパシタである。

【0089】尚、図16に示した回路状態で、接地電位VSSを、電源電圧VCCに置き換え、PMOS60-1~60-10を全てNMOSとし、図15に示したパルス信号φ1~φ6の出力波形を全て逆相(“H”レベルの期間を全て“L”レベルの期間とし、一方、“L”レベルの期間を全て“H”レベルの期間とする)とすると、電源電圧VCCよりも高い、正のある出力電圧VPPが得られるチャージポンプ回路となる。

【0090】次に、この発明の第4の実施例に関わる半導体回路装置について説明する。第4の実施例は、基本的に、第3の実施例に準ずるもので、その概略的な構成

を示すブロックは、図11(a)および(b)により表すことができる。

【0091】まず、基本パルス発振回路について説明する。図17は、発振回路の回路図である。図17に示す発振回路14-4は、図11(b)に示す発振回路14-3のブロックに当てはめることができる。

【0092】図17に示すように、発振回路14-4は、ゲート回路40-15～40-18、並びに42-3が直列に接続され、かつゲート回路42-3の出力をゲート回路40-15の入力に接続されて構成される。これによって、発振回路14-4はカウンタ回路を構成する。

【0093】尚、ゲート回路40-15～40-18の回路構成は、図8(a)に示した回路と同じであり、また、ゲート回路42-3の回路構成は、図8(b)に示した回路と同じである。

【0094】ゲート回路40-15～40-18、並びに42-3のゲートにはそれぞれ、入力パルスCLKが供給される。第1基本パルスQ0は、ゲート回路40-15の第2出力OUT2より抽出され、第2基本パルスQ1は、ゲート回路40-15の出力とゲート回路40-16の入力との相互接続点(ゲート回路40-15の第1出力OUT1)から抽出される。以下同様にして、第3基本パルスQ2はゲート回路40-16の第2出力OUT2から、第4基本パルスQ3はゲート回路40-16の第1出力OUT1から、第5基本パルスQ4はゲート回路40-17の第2出力OUT2から、第6基本パルスQ5はゲート回路40-17の第1出力OUT1から、…、第9基本パルスQ8はゲート回路42-3の第2出力OUT2から、第10基本パルスQ9はゲート回路42-3の第1出力OUT1からそれぞれ、抽出される。

【0095】次に、図17に示す発振回路14-4の動作について説明する。図19は、図17に示す発振回路14-4の入力波形、および出力波形を示す図である。

【0096】図19に示すように、発振回路14-4は、基本パルスQ0～Q9をそれぞれ、入力パルスCLKに対して半周期ずつ遅れるようにして発振する。次に、パルス信号生成回路について説明する。

【0097】図18は、生成回路の回路図である。図18に示す生成回路16-4は、図11(b)に示す生成回路16-3のブロックに当てはめることができる。図18に示すように、生成回路16-3は、発振回路14-4から発振された基本パルスQ0～Q9のうち、Q0、Q1、Q4、Q5、Q8およびQ9の6本を受ける。

【0098】まず、第1基本パルスQ0は、第1NORゲート64-1の第1入力に入力される。第10基本パルスQ9は、第1NORゲート64-1の第2入力に入力される。第1NORゲート64-1の出力は、第1NANDゲート66-1の第1入力に接続されるとともに、第1バイナリカウンタ18-4の入力、および第2NANDゲート66-2の第1入力に接続される。第1バイナリカウンタ18-4の出力は第1インバータ68-1の入力に接続され

るとともに、第2NANDゲート66-2の第2入力に接続される。第1インバータ68-1の出力は第1NANDゲート66-1の第2入力に接続される。第1NANDゲート66-1の出力は第1パルス信号φ1となるとともに、第3NANDゲート66-3の第1入力に接続される。また、第2NANDゲート66-2の出力は第4パルス信号φ4となるとともに、第4NANDゲート66-4の第1入力に接続される。

【0099】第5基本パルスQ4は、第2NORゲート64-2の第1入力に入力される。第6基本パルスQ5は、第2NORゲート64-2の第2入力に入力される。第2NORゲート64-2の出力は第2インバータ68-2の入力に接続される。第2インバータ68-2の出力は第3NANDゲート66-3の第2入力に接続されるとともに、第4NANDゲート66-4の第2入力に接続される。第3NANDゲート66-3の出力は第5パルス信号φ5となる。また、第4NANDゲート66-4の出力は第2パルス信号φ2となる。

【0100】第2基本パルスQ1は、第5NANDゲート66-5の第1入力に接続されるとともに、第2バイナリカウンタ18-5の入力、および第6NANDゲート66-6の第1入力に接続される。第2バイナリカウンタ18-5の出力は第3インバータ68-3の入力に接続されるとともに、第6NANDゲート66-6の第2入力に接続される。第3インバータ68-3の出力は第5NANDゲート66-5の第2入力に接続される。

【0101】第9基本パルスQ8は、第7NANDゲート66-7の第1入力に接続されるとともに、第3バイナリカウンタ18-6の入力、および第8NANDゲート66-8の第1入力に接続される。第3バイナリカウンタ18-6の出力は第4インバータ68-4の入力に接続されるとともに、第8NANDゲート66-8の第2入力に接続される。第4インバータ68-4の出力は第7NANDゲート66-7の第2入力に接続される。

【0102】第5NANDゲート66-5の出力は、第9NANDゲート66-9の第1入力に接続される。第6NANDゲート66-6の出力は、第10NANDゲート66-10の第1入力に接続される。第7NANDゲート66-7の出力は、第9NANDゲート66-9の第2入力に接続される。第8NANDゲート66-8の出力は、第10NANDゲート66-10の第2入力に接続される。

【0103】第9NANDゲート66-9の出力は、第5インバータ68-5の入力に接続される。第5インバータ68-5の出力は、第3パルス信号φ3となる。第10NANDゲート66-10の出力は、第6インバータ68-6の入力に接続される。第6インバータ68-6の出力は、第6パルス信号φ6となる。

【0104】尚、バイナリカウンタ18-4～18-6の回路構成は、図2に示したバイナリカウンタと同じである。次に、図18に示す生成回路の動作について説明す

る。

【0105】図18に示す生成回路16-4の出力波形は、基本的に、図13に示した生成回路16-3と同じであり、その概略的な出力波形は、図15により表すことができる。第4の実施例においても、第1～第3の実施例と同様に、基本パルスの周期が変化しても、図15に示したような動作タイミングの比は変化しない。

【0106】従って、第1パルス信号φ1と第4パルス信号φ4、第2パルス信号φ2と第3パルス信号φ3、第5パルス信号φ5と第6パルス信号φ6とが互いに重ならず、マッチングのとれたパルス信号を得ることができる。

【0107】次に、この発明に係わる半導体回路装置を、EPROM、EEPROM、一括消去型EEPROM、NAND型EEPROM等の不揮発性半導体メモリに用いた例について説明する。

【0108】図20は、この発明に係わる半導体回路装置を搭載した不揮発性半導体メモリの概略的な構成を示すブロック図である。図20に示すように、基本パルス発振回路14およびパルス信号生成回路16で構成された駆動回路10は、駆動用パルス信号φ1～φnを、チャージポンプ回路12に供給する。また、メモリセルアレイ70、カラムデコーダ72およびロウデコーダ74をそれぞれ主要な構成とするメモリ部が設けられている。チャージポンプ回路12はパルス信号φ1～φnを受けることにより駆動され、例えばロウデコーダ74に、昇圧電圧VPPを供給する。

【0109】尚、図20に示すブロックは一例であって、その他、様々なブロック構成が可能である。次に、この発明の第5の実施例に関わる半導体回路装置について説明する。

【0110】図21は、この発明の第5の実施例に関わる半導体回路装置の概略的な構成を示すブロック図である。図21に示すように、第5の実施例に関わる半導体回路装置は、第1～第4の実施例において説明したような駆動回路10を備え、かつ昇圧電圧VPPのレベルを検知し、この検知内容に基づく検知信号Kを、基本パルス発振回路14-5にフィードバックする検知回路76を、さらに備えたものである。

【0111】ここで、検知信号Kは、昇圧電圧VPPのレベルが所定値よりも低い時、基本パルスQ0～Qnの周波数を高め、昇圧電圧VPPのレベルが所定値に達した時、基本パルスQ0～Qnの周波数を低める働きを持つ。

【0112】次に、発振回路14-5について説明する。図22は、図21に示す発振回路14-5の回路図である。図22に示すように、発振回路14-5は、第1入力にリセット信号RESETが入力されるNANDゲート78、NANDゲート78の出力～NANDゲート78の第2入力間に、インバータ82-1～82-4とゲート回路80-1～8

0-5とを、交互に直列に接続した回路より構成されている。

【0113】次に、ゲート回路80-1～80-5について説明する。図23は、図22に示すゲート回路80-1～80-5の回路図である。図23に示すように、ゲート回路80-1～80-5は、NMOSとPMOSとでなるトランスファゲート84-1～84-3を含む。トランスファゲート84-1は、トランスファゲート84-2と直列に接続されるとともに、これらトランスファゲート84-1と84-2とは、入力と出力との間に直列に挿設される。トランスファゲート84-3は、入力と出力との間に、トランスファゲート84-1および84-2に対して並列に挿設される。検知信号Kは、トランスファゲート84-1のNMOSのゲート、トランスファゲート84-2のNMOSのゲート、並びにトランスファゲート84-3のPMOSのゲートに入力される。また、検知信号Kは、インバータ86-1を介してから、トランスファゲート84-1のPMOSのゲート、トランスファゲート84-2のPMOSのゲート、並びにトランスファゲート84-3のNMOSのゲートに入力される。

【0114】図22に示されるゲート回路80-1では、その入力信号INがNANDゲート78の出力であり、一方、その出力信号OUTをインバータ82-1の入力に供給する。以下、同様にゲート回路80-2における入力信号INはインバータ82-1の出力であり、その出力信号OUTをインバータ82-2の入力に供給し、…、ゲート回路80-5における入力信号INはインバータ82-4の出力であり、その出力信号OUTを基本パルスQ0とするとともに、NANDゲート78の第2入力に供給する。

【0115】上記の構成を有する発振回路14-5であるとき、検知信号Kが“L”レベルの時、トランスファゲート84-3が導通するため、短周期（高周波数）で基本パルスQ0を発振し、一方、検知信号Kが“H”レベルの時、トランスファゲート84-1および84-2の二つが導通するため、長周期（低周波数）で基本パルスQ0を発振する。

【0116】次に、検知回路76について説明する。図24は、図21に示す検知回路76の回路図である。図24に示すように、ドレインとゲートとを短絡したNMOS88-1～88-4が直列に接続され、その一端となるNMOS88-1のドレインは、さらに電圧VPPが印加される昇圧線90に接続される。また、その他端となるNMOS88-4のソースは、デプレッション型のNMOS92-1のドレインに接続される。NMOS92-2のソースは、デプレッション型のNMOS92-2のドレインに接続される。NMOS92-1とNMOS92-2との相互接続点は、インバータ94-1の入力に接続され、その出力はインバータ94-2の入力に接続される。インバータ94-2の出力は、検知信号Kとなる。

【0117】上記の構成を有する検知回路76である

と、昇圧線90の電位が所定のレベル以下の時、“L”レベルの検知信号Kを出力する。そして、上記の発振回路14-5から基本パルスQ0を短周期（高周波数）で発振させる。

【0118】また、昇圧線90の電位が所定のレベルに達した時、検知回路76は、“H”レベルの検知信号Kを出力する。そして、上記の発振回路14-5から基本パルスQ0を長周期（低周波数）で発振させる。

【0119】次に、第5の実施例に関わる半導体回路装置の動作について説明する。図25(a)は、第5の実施例に関わる半導体回路装置が具備する駆動回路の入力波形、出力波形を示す波形図である。

【0120】図25(a)に示すように、検知信号Kが“L”レベルの間、基本パルスQ0は高い周波数で出力される。基本パルスQ0が高周波の間、パルス信号φ1、φ2も高い周波数で出力され、チャージポンプ回路が高周波のパルス信号で駆動される。

【0121】さらにチャージポンプ回路の出力電圧VPPが所定の電位レベルに達すると、検知信号Kは“H”レベルとなり、そして、基本パルスQ0の周波数が低くされる。基本パルスQ0が低周波の間、パルス信号φ1、φ2が低い周波数で出力され、チャージポンプ回路は低周波のパルス信号で駆動される。

【0122】上記のように、この発明に係わる半導体回路装置では、基本パルスQ0の周波数を変化させても、パルス信号φ1、φ2の動作タイミングの比率が変化しないため、基本パルスQ0が高周波、あるいは低周波いずれの期間においても、チャージポンプ回路が誤動作することはない。

【0123】尚、基本パルスQ0の周波数を高め、駆動用のパルス信号φ1、φ2の周波数を高めることによる利点は、チャージポンプ回路の昇圧能力が向上することである。即ち、チャージポンプ回路を、高周波のパルス信号で駆動させることによって、出力電圧VPPが所定の電位レベルに達するまでの時間tを短縮でき、装置の動作の高速化に寄与する。

【0124】さらに、出力電圧VPPが所定の電位レベルに達した後、基本パルスQ0の周波数を低め、パルス信号φ1、φ2の周波数を低めることによる利点は、消費電力が低減することである。

【0125】このようにパルス信号φ1、φ2の周波数を、上記のようなタイミングで適宜、調節することによって、動作の高速化と、消費電力の低減化とを、同時に達成することができる。

【0126】尚、図25(b)に、パルス信号φ1、φ2の周波数を変化させない場合の波形図を、比較例として示しておく。上記各実施例により説明した、この発明によれば、チャージポンプ回路12を駆動するための複数のパルス信号φ1~φnを、カウンタ回路が用いられた駆動回路10により生成する。

【0127】例えば第1、第2の実施例により説明した回路装置では、パルス信号生成回路16-1~16-2にカウンタ回路を用いる。そして、生成回路16-1~16-2はそれぞれ、基本パルス発振回路14により発せられた基本パルスQ0をカウントし、カウントすることにより得られた信号を論理合成して、パルス信号φ1~φnを得る。このため、基本パルスQ0の周波数が変化しても、パルス信号φ1~φnの動作タイミングは、常に一定の比率が維持される。

【0128】また、パルス信号φ1~φnを、発振回路14により発せられた基本パルスQ0をカウントすることを得るために、電源電圧や温度、および半導体装置の製造の際の加工のばらつきによる依存性を、発振回路14のそれにほぼ等しくでき、パルス信号φ1~φnのマッチングがくずれ、チャージポンプ回路が正常に動作しなくなる、という事態をも回避できる。

【0129】また、例えば第3の実施例により説明した回路装置では、入力パルスCLKの供給を受ける基本パルス発振回路14-3にカウンタ回路を用いている。このようにしても、上記と同様な効果を得ることができる。

【0130】さらに、例えば第4の実施例により説明した回路装置では、基本パルス発振回路14-4、およびパルス信号生成回路16-4にそれぞれ、カウンタ回路を用いている。このようにしても、上記と同様な効果を得ることができる。

【0131】また、第1~第4の実施例により説明した回路装置では、基本パルスQ0~Qnや、入力パルスCLKの周波数が変化しても誤動作しないことから、例えば第5の実施例のように出力電圧のレベルを検知し、検知した出力電圧のレベルに応じて駆動回路10-5が発するパルス信号φ1~φnの周波数を変化させることが可能となる。

【0132】そして、第5の実施例により説明した回路装置では、検知した出力電圧のレベルに応じて駆動回路10-5が発するパルス信号φ1~φnの周波数を変化させることで、動作の高速化と、消費電力の低減化とを、同時に達成することができる。

【0133】

【発明の効果】以上説明したように、この発明によれば、条件が変化しても、正常なパルス信号を発生できる回路を備えた半導体回路装置、およびパルス生成方法を提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の第1の実施例に関わる半導体回路装置が具備する駆動回路の回路図。

【図2】図2は図1に示すカウンタ回路の回路図。

【図3】図3はこの発明の第1の実施例に関わる半導体回路装置の概略構成を示すブロック図。

【図4】図4は四相パルスで駆動されるチャージポンプ回路の一例を示す回路図。

【図5】図5は図1に示す生成回路の動作を表す波形図。

【図6】図6はこの発明の効果を説明するための図で、
(a)は基本パルスが長周期となった場合の波形図、
(b)は基本パルスが短周期となった場合の波形図。

【図7】図7はこの発明の第2の実施例に関わる半導体回路装置を説明するための図で、(a)図はその概略構成を示すブロック図、(b)図は(a)図に示す駆動回路の回路図。

【図8】図8は図7(b)に示すゲート回路を説明するための図で、(a)図はゲート回路40-1~40-5の回路図、(b)図はゲート回路42-1の回路図。

【図9】図9は図7(b)に示す生成回路の動作を表す波形図。

【図10】図10は二相パルスで駆動されるチャージポンプ回路の一例を示す回路図。

【図11】図11はこの発明の第3の実施例に関わる半導体回路装置を説明するための図で、(a)図はその概略構成を示すブロック図、(b)図は(a)図に示す駆動回路の基本構成を示すブロック図。

【図12】図12は図11(b)に示す発振回路の回路図。

【図13】図13は図11(b)に示す生成回路の回路図。

【図14】図14は図11(b)に示す発振回路の動作を表す波形図。

【図15】図15は図11(b)に示す生成回路の動作を表す波形図。

【図16】図16は六相パルスで駆動されるチャージポンプ回路の一例を示す回路図。

【図17】図17はこの発明の第4の実施例に関わる半導体回路装置が具備する発振回路の回路図。

【図18】図18はこの発明の第4の実施例に関わる半導*

*体回路装置が具備する生成回路の回路図。

【図19】図19は図17に示す発振回路の動作を表す波形図。

【図20】図20はこの発明に関わる半導体回路装置を搭載した不揮発性半導体メモリの一例を示すブロック図。

【図21】図21はこの発明の第5の実施例に関わる半導体回路装置の概略構成を示すブロック図。

【図22】図22は図21に示す発振回路の回路図。

【図23】図23は図22に示すゲート回路の回路図。

【図24】図24は図21に示す検知回路の回路図。

【図25】図25はこの発明の第5の実施例に関わる半導体回路装置の動作を説明するための図で、(a)図は第5の実施例に関わる半導体回路装置の波形図、(b)図は比較例で基本パルスの周波数を変化させない場合の波形図。

【図26】図26は従来の半導体回路装置のブロック図。

【図27】図27は図26に示す駆動回路の回路図。

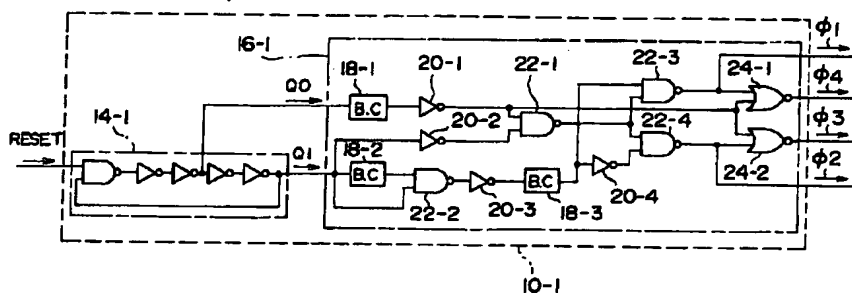
【図28】図28は図27に示す生成回路の動作を表す波形図。

【図29】図29はパルス信号のマッチングのくずれの一例を示す図で、(a)は基本パルスが長周期となった場合の波形図、(b)は基本パルスが短周期となった場合の波形図、(c)は基本パルスが極短周期となった場合の波形図。

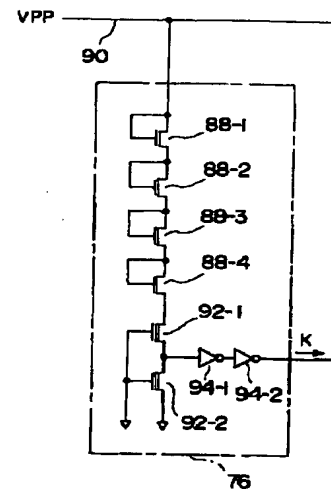
【符号の説明】

10、10-1~10-3…駆動回路、12、12-1~12-3…チャージポンプ回路、14、14-1~14-5…基本パルス発振回路、16、16-1~16-5…パルス信号生成回路、18-1~18-6…バイナリカウンタ、40-1~40-18…ゲート回路、42-1~42-3…ゲート回路、76…検知回路、80-1~80-5…ゲート回路。

【図1】



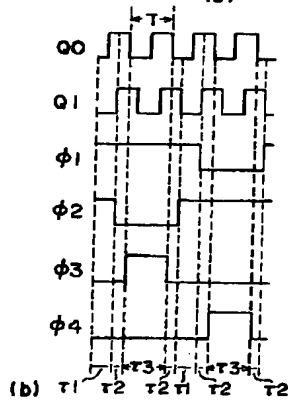
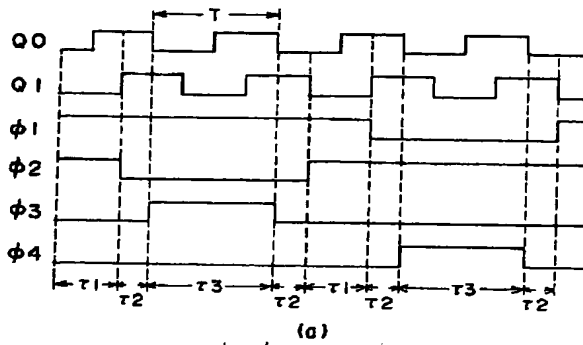
【図24】



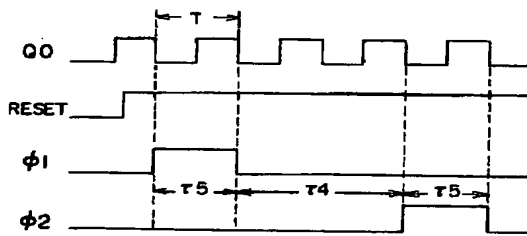
The timing diagram shows the relationship between data bus signals (Q0, Q1) and clock signals (phi1, phi2, phi3, phi4). The data signals Q0 and Q1 are shown as a sequence of pulses with a period T. The clock signals phi1, phi2, phi3, and phi4 are shown as a sequence of pulses. The timing intervals are defined as follows:

- τ_1 : The time interval between the rising edge of phi1 and the rising edge of phi2.
- τ_3 : The time interval between the rising edge of phi2 and the rising edge of phi3.
- τ_2 : The time interval between the rising edge of phi3 and the rising edge of phi4.

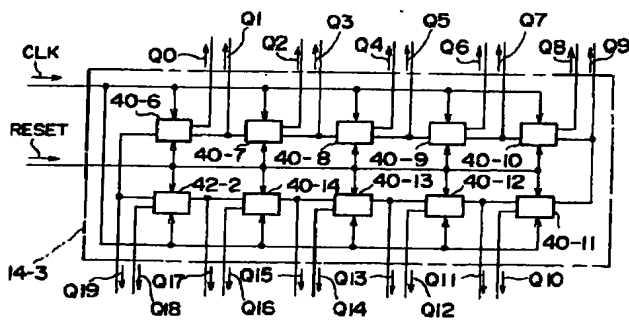
【図6】



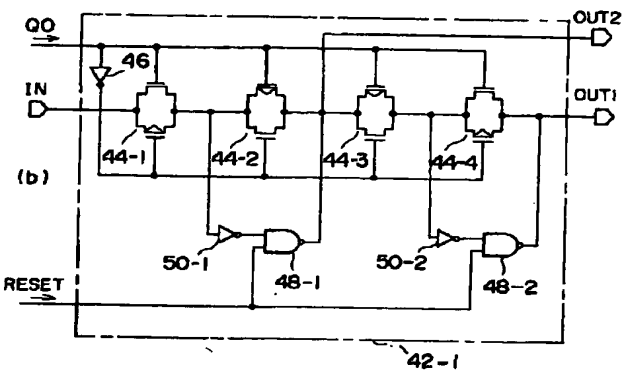
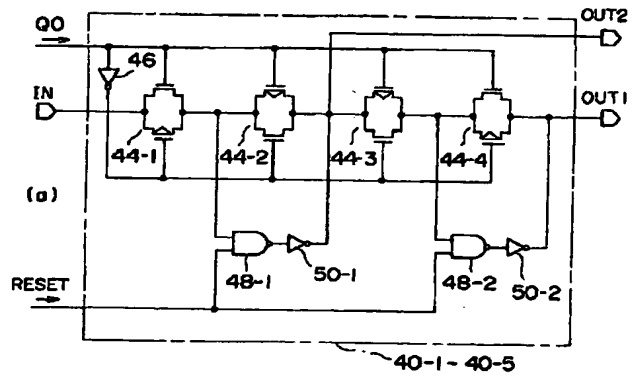
【図9】



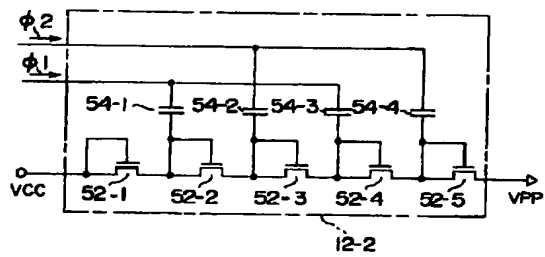
【図12】



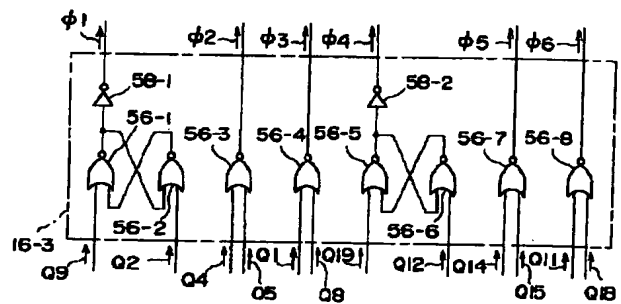
【図8】



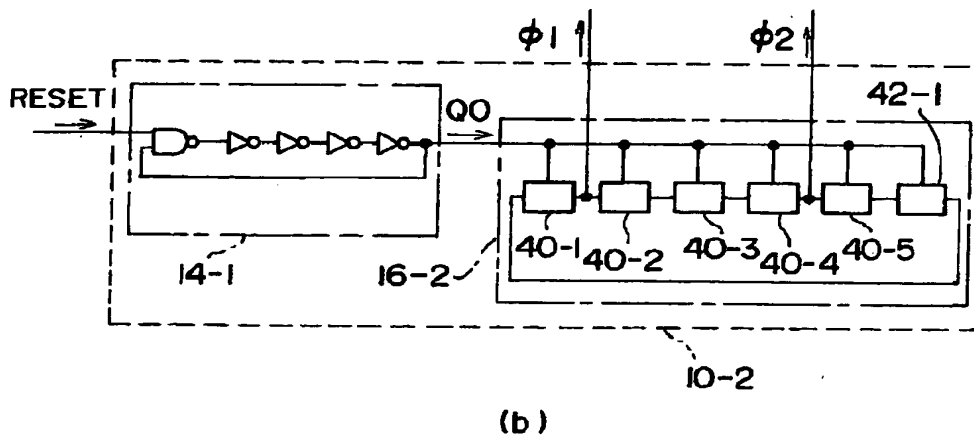
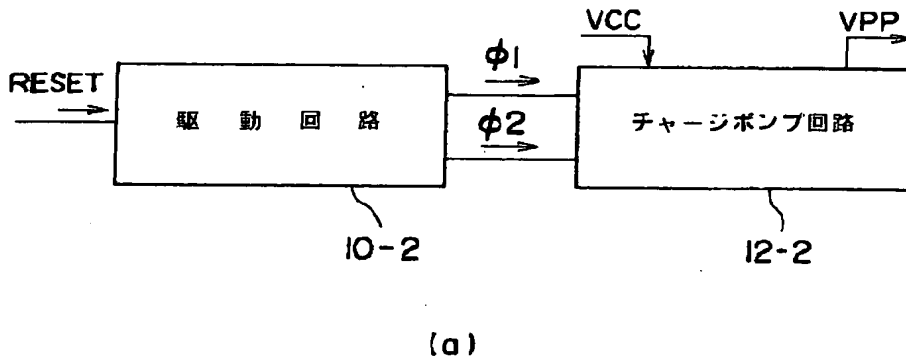
【図10】



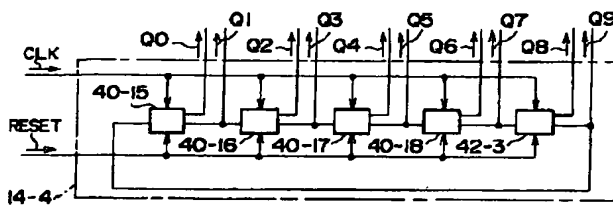
【図13】



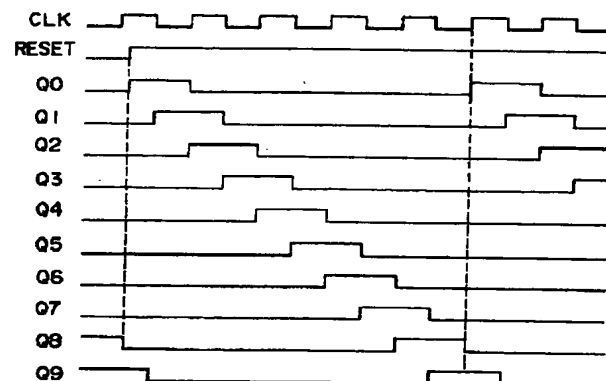
【図7】



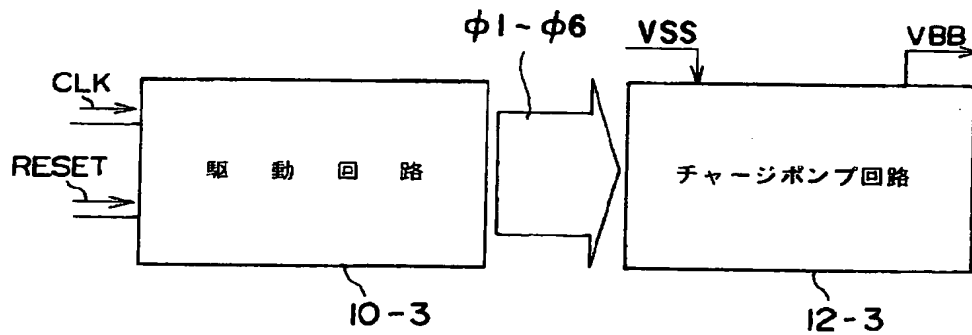
【図17】



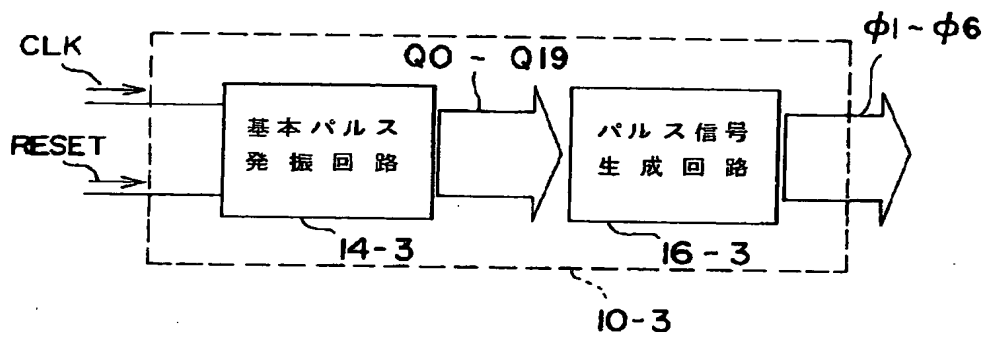
【図19】



【図11】

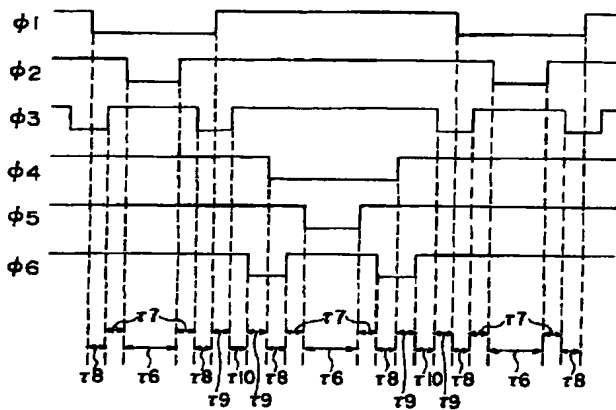


(a)

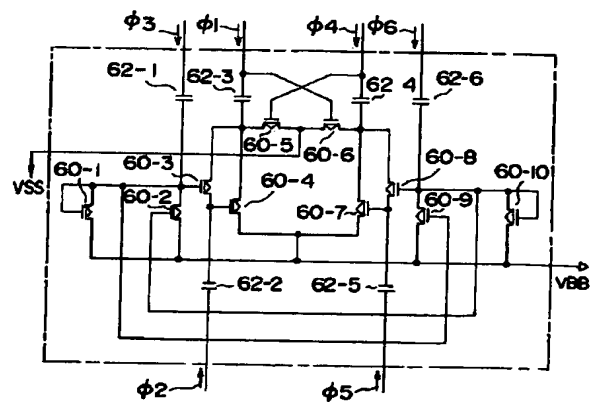


(b)

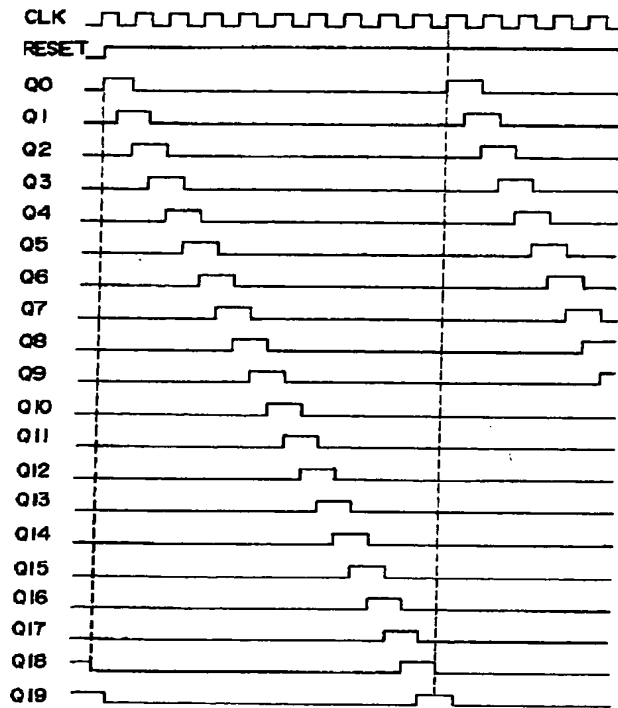
【図15】



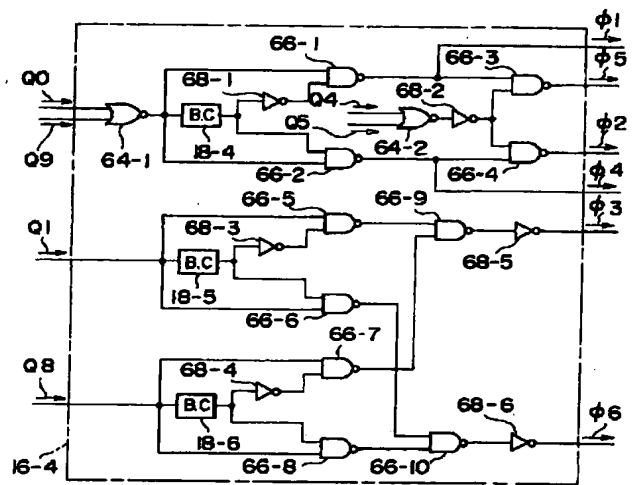
【図16】



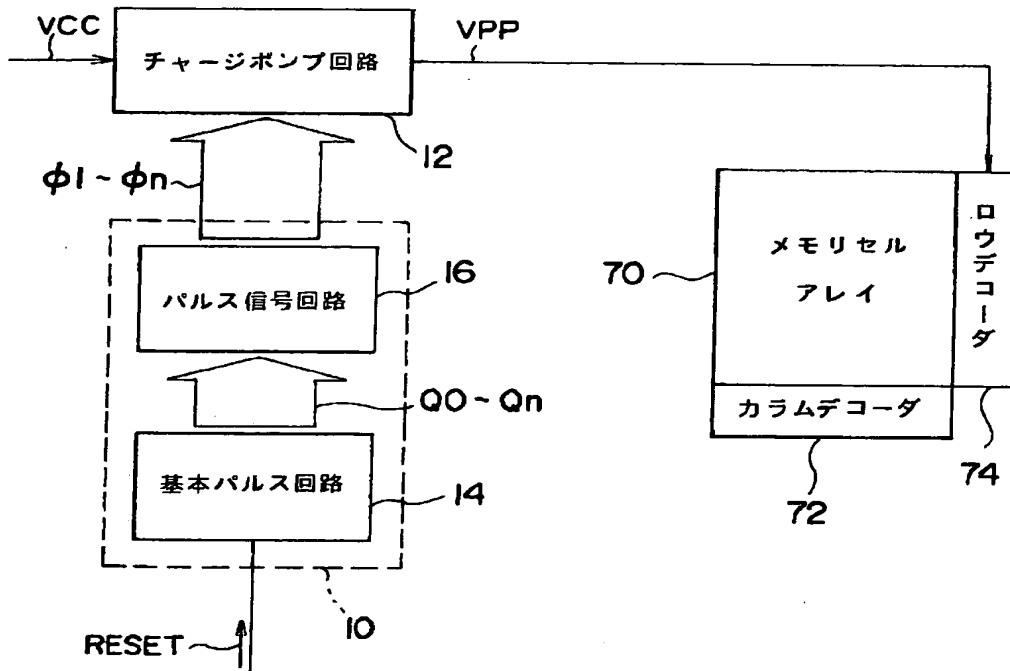
【図14】



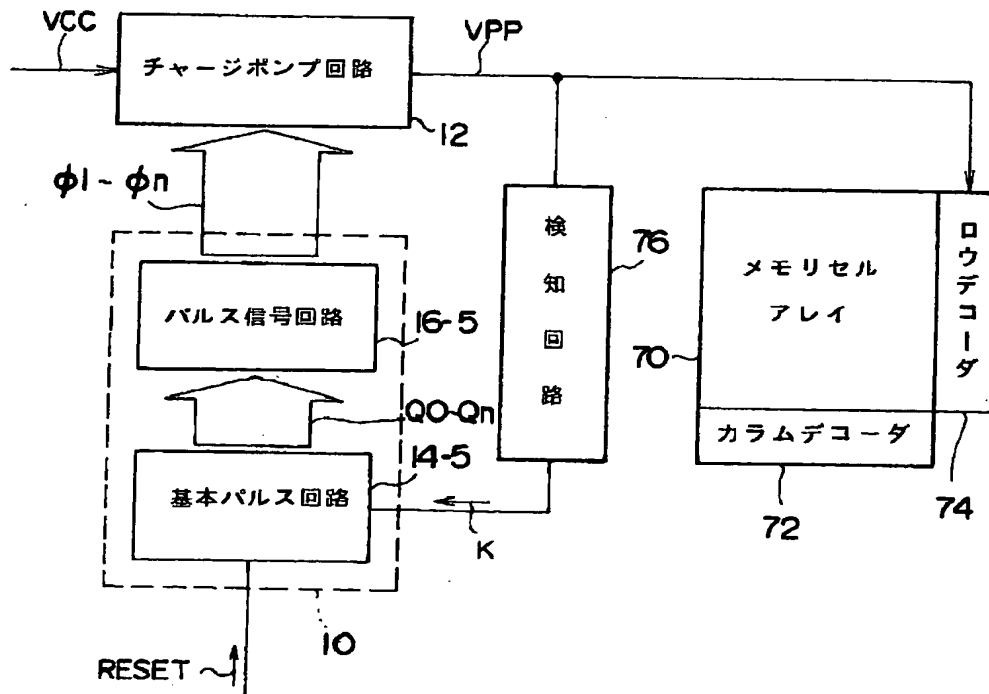
【図18】



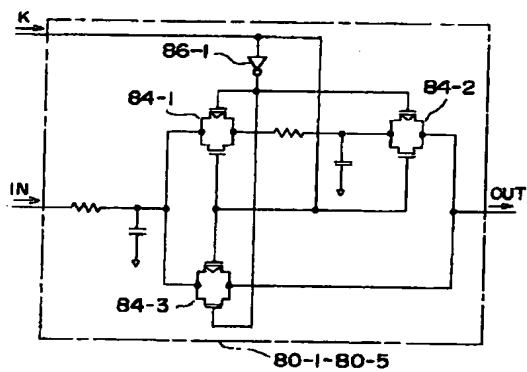
【図20】



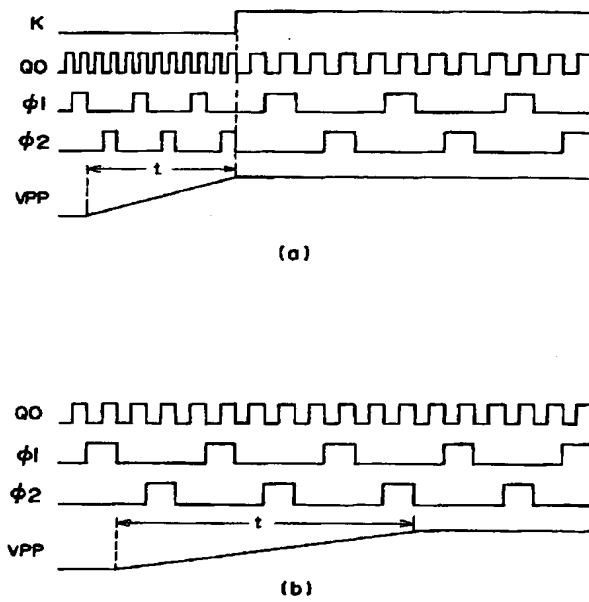
【図21】



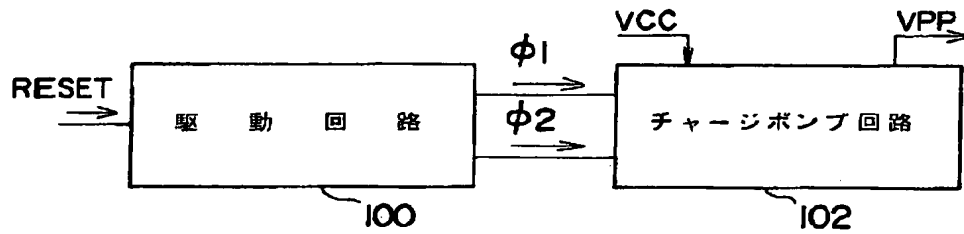
【図23】



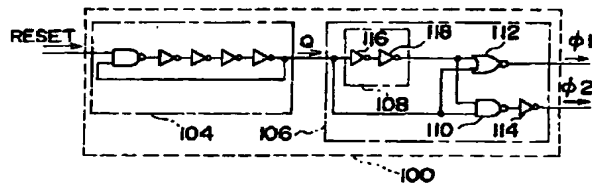
【図25】



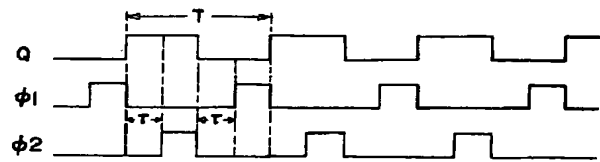
【図26】



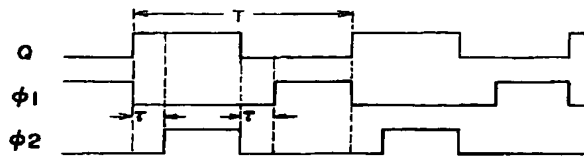
【図27】



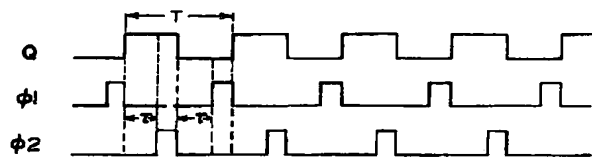
【図28】



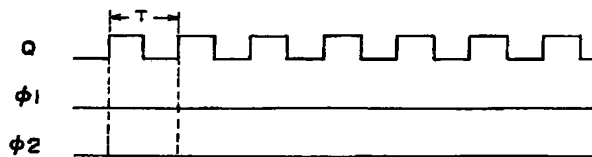
【図29】



(a)



(b)



(c)

フロントページの続き

(72)発明者 番場 博則
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 大平 秀子
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第4区分
 【発行日】平成12年11月30日(2000.11.30)

【公開番号】特開平6-335237
 【公開日】平成6年12月2日(1994.12.2)
 【年通号数】公開特許公報6-3353
 【出願番号】特願平5-117274
 【国際特許分類第7版】
 H02M 3/07
 【F1】
 H02M 3/07

【手続補正書】

【提出日】平成12年5月18日(2000.5.18)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 入力信号に基づいて、互いに位相の異なる複数のパルス信号を生成する生成手段と、前記複数のパルス信号によって駆動される昇圧手段とを具備し、前記生成手段を、前記入力信号をカウントし、このカウント内容に基づいて前記複数のパルス信号を生成するように構成したことを特徴とする半導体回路装置。

【請求項2】 発振回路からの発振出力をカウントすることによって、互いに位相の異なる複数のパルスを、パルス幅が一定の比率を維持するように生成することを特徴とするパルスの生成方法。

【請求項3】 発振信号を出力する発振器と、前記発振信号の発振のカウントに基づいて、互いに異なる位相を有するとともに、前記発振信号の信号エッジと同期した信号エッジを有する駆動信号を生成する駆動信号生成器と、

第1の電位レベルを持つ第1の電源電位を受け、この第1の電源電位の電位レベルを、前記第1の電位レベルから、この第1の電位レベルとは異なる第2の電位レベルへシフトするとともに前記第2の電位レベルを持つ第2の電源電位を出力する電源電圧レベルシフト回路、この電源電圧レベルシフト回路は前記駆動信号によって駆動される、とを有することを特徴とする半導体回路装置。

【請求項4】 前記駆動信号生成器は、前記発振信号の周波数に関わらず、一定の動作タイミングの比を有する駆動信号を生成し、この駆動信号に基づいて、前記電源電圧レベルシフト回路を駆動することを特徴とする請求項3に記載の半導体回路装置。

【請求項5】 前記駆動信号生成器は、前記発振器から出力される前記発振信号を受けるカウンタを有することを特徴とする請求項4に記載の半導体回路装置。

【請求項6】 前記カウンタは、入力ゲート部、および一端、他端を有する電流通路とを含む複数のゲート回路を有し、

前記ゲート回路はそれぞれ、各ゲート回路の電流通路の一端を各ゲート回路の電流通路の他端に接続し、かつ最後段のゲート回路の電流通路の一端は、初段のゲート回路の電流通路の他端に接続するように直列に接続され、前記各ゲート回路それぞれの入力ゲート部は、前記発振器から出力される前記発振信号を受けることを特徴とする請求項5に記載の半導体回路装置。

【請求項7】 前記駆動信号は、前記ゲート回路どうしの接続ノードから得られることを特徴とする請求項6に記載の半導体回路装置。

【請求項8】 前記ゲート回路はそれぞれ、直列に接続されたトランスファゲートを含むことを特徴とする請求項6に記載の半導体回路装置。

【請求項9】 前記駆動信号は、前記ゲート回路どうしの接続ノードから得られることを特徴とする請求項8に記載の半導体回路装置。

【請求項10】 前記電源電圧レベルシフト回路は、チャージポンプ回路を含むことを特徴とする請求項3に記載の半導体回路装置。

【請求項11】 前記第2の電位レベルに応じて、前記発振器から出力される前記発振信号の発振周期を変化させる手段を、さらに具備することを特徴とする請求項3に記載の半導体回路装置。

【請求項12】 発振信号を出力する発振器と、互いに異なる位相を有するとともに、前記発振信号の信号エッジと同期した信号エッジを有する駆動信号を生成する駆動信号生成器、この駆動信号生成器は、前記発振器から出力される前記発振信号の発振をカウントするカウンタ回路部、および前記発振信号と前記カウンタ回路部の出力との論理をとる論理回路を含む、と、

第1の電位レベルを持つ第1の電源電位を受け、この第1の電源電位の電位レベルを、前記第1の電位レベルから、この第1の電位レベルとは異なる第2の電位レベルへシフトするとともに前記第2の電位レベルを持つ第2の電源電位を出力する電源電圧レベルシフト回路、この電源電圧レベルシフト回路は前記駆動信号によって駆動される、とを有することを特徴とする半導体回路装置。

【請求項13】 前記駆動信号生成器は、前記発振信号の周波数に関わらず、一定の動作タイミングの比を有する駆動信号を生成し、この駆動信号に基いて、前記電源電圧レベルシフト回路を駆動することを特徴とする請求項12に記載の半導体回路装置。

【請求項14】 前記カウンタ回路部は、前記発振器から出力される前記発振信号を受けるバイナリカウンタを有することを特徴とする請求項12に記載の半導体回路装置。

【請求項15】 前記電源電圧レベルシフト回路は、チャージポンプ回路を含むことを特徴とする請求項12に記載の半導体回路装置。

【請求項16】 供給される発振信号の発振のカウンタに基いて、前記発振信号の信号エッジと同期した信号エッジを有する駆動信号を生成する駆動信号生成器と、前記駆動信号によって駆動される回路とを具備し、前記回路は、第1の電位レベルを持つ第1の電源電位を受け、この第1の電源電位の電位レベルを、前記第1の電位レベルから、この第1の電位レベルとは異なる第2の電位レベルへシフトするとともに前記第2の電位レベルを持つ第2の電源電位を出力する電源電圧レベルシフト回路を含むことを特徴とする半導体回路装置。

【請求項17】 前記駆動信号生成器は、前記発振信号の周波数に関わらず、一定の動作タイミングの比を有する駆動信号を生成し、この駆動信号に基いて、前記電源電圧レベルシフト回路を駆動することを特徴とする請求項16に記載の半導体回路装置。

【請求項18】 前記駆動信号生成器は、前記発振信号をカウントする、少なくとも1つのカウンタを有することを特徴とする請求項17に記載の半導体回路装置。

【請求項19】 前記電源電圧レベルシフト回路は、チャージポンプ回路を含むことを特徴とする請求項17に記載の半導体回路装置。

【請求項20】 発振信号を出力する発振器と、前記発振信号の発振のカウンタに基いて、前記発振信号の信号エッジと同期した信号エッジを有する駆動信号を生成する駆動信号生成器と、前記駆動信号によって駆動される回路とを具備し、前記回路は、第1の電位レベルを持つ第1の電源電位を受け、この第1の電源電位の電位レベルを、前記第1の電位レベルから、この第1の電位レベルとは異なる第2の電位レベルへシフトするとともに前記第2の電位レベルを持つ第2の電源電位を出力する電源電圧レベルシフ

ト回路を含むことを特徴とする半導体回路装置。

【請求項21】 前記駆動信号生成器は、前記発振信号の周波数に関わらず、一定の動作タイミングの比を有する駆動信号を生成し、この駆動信号に基いて、前記電源電圧レベルシフト回路を駆動することを特徴とする請求項20に記載の半導体回路装置。

【請求項22】 前記駆動信号生成器は、前記発振信号をカウントする、少なくとも1つのカウンタを有することを特徴とする請求項21に記載の半導体回路装置。

【請求項23】 前記発振器は、リング発振器を含むことを特徴とする請求項20に記載の半導体回路装置。

【請求項24】 発振信号を出力する発振器と、前記発振信号のカウントに基いた各位相を有する駆動信号を生成する駆動信号生成器、前記駆動信号は、前記発振信号の信号エッジと同期した信号エッジを有するとともに、前記発振信号の周波数に関わらず、一定の動作タイミングの比を有する、と、前記駆動信号によって駆動されるチャージポンプ回路とを具備することを特徴とする半導体回路装置。

【請求項25】 前記チャージポンプ回路は、電源電圧Vccよりも大きな正の電圧を出力することを特徴とする請求項24に記載の半導体回路装置。

【請求項26】 前記チャージポンプ回路は、電源電圧Vssよりも小さな負の電圧を出力することを特徴とする請求項24に記載の半導体回路装置。

【請求項27】 行列状に配置されたメモリセルを有するメモリセルアレイと、

前記メモリセルアレイの行を選択するロウデコーダと、前記メモリセルアレイの列を選択するカラムデコーダと、

発振信号を出力する発振器と、前記発振信号のカウントに基いた位相をそれぞれ有し、かつ前記発振信号の信号エッジと同期した信号エッジを有するとともに、前記発振器から出力される前記発振信号の周波数に関わらず、一定の動作タイミングの比を有する駆動信号を生成する駆動信号生成器と、前記駆動信号によって駆動され、前記ロウデコーダへ電圧を出力するチャージポンプ回路とを具備することを特徴とする半導体回路装置。

【請求項28】 前記チャージポンプ回路は、電源電圧Vccよりも大きな正の電圧を出力することを特徴とする請求項27に記載の半導体回路装置。

【請求項29】 電源電位レベルをシフトする電源電位レベルシフタと、

前記電源電位レベルシフタを駆動するドライバ、このドライバは、少なくとも1つの基本パルス発振のカウンタに応じて、前記基本パルスのパルスエッジと同期したパルスエッジを有するとともに互いに異なった位相を有し、かつ前記駆動パルスの動作タイミング比が前記少なくとも1つの基本パルスの周波数に関わらず一定である

少なくとも2つの駆動パルスを出力する、と、
前記電源電位レベルシフタは、前記駆動パルスによって
駆動されることを特徴とする半導体回路装置。

【請求項30】 前記駆動パルスは、前記基本パルスの半周期のN倍（Nは整数）のパルス幅を有することを特徴とする請求項29に記載の半導体回路装置。

【請求項31】 電源電位レベルをシフトする電源電位レベルシフタと、

前記電源電位レベルシフタを駆動するドライバ、このドライバは、少なくとも2つの基本パルス発振のカウンタに応じて、前記基本パルスのパルスエッジと同期したパルスエッジを有するとともに互いに異なった位相を有する少なくとも4つの駆動パルスを出力する、とを具備し、

前記少なくとも2つの基本パルスは、互いに同じ周期を有するとともに、互いの位相が1/4周期ずれている第1の基本パルスおよび第2の基本パルスを含み、

前記駆動パルスは、前記第1の基本パルスのパルスエッジと同期したパルスエッジを有し、互いに前記基本パルスの半周期の4倍の周期ずれて、基本パルスの半周期の5倍の周期のハイレベルと、基本パルスの半周期の3倍の周期のローレベルとを交互に繰り返す第1および第2

の駆動パルスと、

前記第2の基本パルスのパルスエッジと同期したパルスエッジを有し、互いに前記基本パルスの半周期の2倍の周期ずれて、基本パルスの半周期の2倍の周期のハイレベルと、基本パルスの半周期の6倍の周期のローレベルとを交互に繰り返す第3および第4の駆動パルスとを含み、

期間 τ_1 を、前記第1の駆動パルスの立ち上がりエッジから前記第2の駆動パルスの立ち下がりエッジ、および前記第2の駆動パルスの立ち上がりエッジから前記第1の駆動パルスの立ち下がりエッジまでの期間、

期間 τ_2 を、前記第2の駆動パルスの立ち下がりエッジから前記第3の駆動パルスの立ち上がりエッジ、および前記第3の駆動パルスの立ち下がりエッジから前記第2の駆動パルスの立ち上がりエッジまでの期間、

期間 τ_3 を、前記第3の駆動パルスおよび前記第4の駆動パルスのいずれかがハイレベルの期間としたとき、前記期間 τ_1 、 τ_2 、および τ_3 の関係は

$$\tau_1 : \tau_2 : \tau_3 = 2 : 1 : 4$$

で表され、

前記電源電位レベルシフタは、前記駆動パルスによって駆動されることを特徴とする半導体回路装置。